

УДК 621.383

Обзор отечественных модулей цифровой обработки сигналов многоэлементного фотоприемного устройства ИК-диапазона

И. И. Кремис

Приведены сведения по современным системам цифровой обработки сигналов. Рассмотрены отечественные модули цифровой обработки сигналов матричного фотоприемного устройства. Показаны возможности создания модуля обработки тепловизионного массива данных, получаемого от матричного фотоприемника размером 640×480 элементов с использованием электронного двухмерного сканирования поля обзора. Рекомендации по созданию модуля даны с позиции минимального энергопотребления и габаритов, максимальной производительности и гибкости системы обработки сигналов.

PACS: 85.60.Gz

Ключевые слова: системы ЦОС, DSP, ПЛИС, ASIC, SOC, нейропроцессор.

Введение

В настоящее время тепловизионные приборы (ТВП) принято делить на три поколения. Поколения приборов различаются способом сканирования поля обзора и используемой элементной базой [1, 2], но так как основным функциональным узлом любой ИК-системы является фотоприемник, в основу деления ТВП по поколениям прежде всего положено число элементов в используемом фотоприемнике.

В приборах первого поколения использованы линейки фотоприемников с малым числом чувствительных элементов (4—180 элементов), сканирование — оптико-механическое, высокоточное двухмерное. Приборы второго поколения характеризуются использованием многорядных линеек с большим числом чувствительных элементов (96×4—576×7 элементов), сканирование в одном направлении — оптико-механическое, в другом — электронное. В приборах третьего поколения применяются матричные фотоприемные устройства (ФПУ) различного типа как охлаждаемые (матрицы KPT, IsSb, PtSi, QWIP форматом 128×128 — 640×512), так и неохлаждаемые (пирозлектрические/ферроэлектрические и микроболометрические

матрицы форматом 100×100 — 640×480). Сканирование — двухмерное электронное.

Тенденция увеличения количества чувствительных элементов ФПУ с применением системы сканирования поля обзора влечет за собой увеличение плотности тепловизионного видеопотока, поступающего с фотоприемника. В связи с этим приобретает актуальность вопрос создания высокопроизводительного модуля обработки сигналов, способного обрабатывать сигнал, получаемый от матричного фотоприемника размером как минимум 640×480 элементов с использованием электронного двухмерного сканирования поля обзора. Также для повышения экономической эффективности создания ТВП требуется, чтобы модуль сохранял все свои функциональные возможности при построении ТВП в соответствии с концепцией модульных систем, описанной в [1—3]. Это означает применение совместно с системой цифровой обработки сигналов (ЦОС) приемников разного разрешения, различной степени дефектности и неравномерности чувствительности фотоэлементов. При этом модуль должен иметь максимально возможные характеристики производительности и гибкости реализации алгоритмов обработки сигналов при минимальных энергопотреблении и габаритах.

Производительность системы ЦОС определяют два фактора. Первый — архитектура построения системы, подразумевающая принципы взаимодействия между собой различных элементов системы. Второй — применяемая элементная база, такая как элементы памяти, интерфейсов и периферии, однако здесь принципиальным фактором, определяющим показатели производительности, является используемое ядро системы — элемент (или элементы), на основе которого строится вся система

Кремис Игорь Иванович, младший научный сотрудник.
Конструкторско-технологический институт
прикладной микроэлектроники (филиал Института
физики полупроводников СО РАН).
Россия, 630090, Новосибирск-90, пр-т Ак. Лаврентьева, 2/1.
Тел. (383) 330-6559.
E-mail: ktipm@amel.oesd.ru

Статья поступила в редакцию 15 ноября 2009 г.

ЦОС и который главным образом участвует в реализации алгоритмов обработки сигналов. В настоящее время по основному (базовому) элементу, выполняющему цифровую обработку, системы ЦОС можно разделить на шесть групп:

- система обработки сигналов на основе процессоров ЦОС (DSP);
- система обработки сигналов на основе ПЛИС;
- система обработки сигналов на основе совместного использования ПЛИС и DSP;
- система обработки сигналов на основе SOC (system-on-chip — "системы на кристалле");
- система обработки сигналов на основе ASIC (специализированные интегральные схемы конкретного применения — Application Specific Integrated Circuits);
- система обработки сигналов на основе нейровычислителей.

Данная статья представляет собой обзор существующих систем и модулей ЦОС, представленных в открытой печати и сети Internet. Цель статьи — оценка возможности реализации некоторого набора алгоритмов с обработкой в реальном времени при формате обрабатываемых кадров изображения 1280×960 элементов (кадр с матрицы размером 640×480 элементов с использованием двумерного сканирования поля обзора).

Анализ и обобщение функциональных свойств существующих систем ЦОС, применяемых в тепловидении, позволяют выделить следующие алгоритмы обработки:

- накопление кадров;
- "замораживание" кадра (стоп-кадр);
- цифровое увеличение изображения (любого выбранного участка изображения);
- "двухточечная" коррекция изображения;
- замещение дефектных элементов МФПУ;
- фильтрация теплового изображения;
- выделение контуров теплового изображения;
- автоматическое согласование динамического диапазона обработанного сигнала изображения и экрана ТВ-монитора, на котором выполняется визуализация.

Системы цифровой обработки сигналов

Рассмотрим в отдельности каждую группу систем ЦОС.

Система на основе DSP. Традиционным является подход, при котором при разработке систем цифровой обработки сигналов используются DSP-сигнальные процессоры общего назначения (СПОН), а требуемые специфические алгоритмы обработки реализуются программно (в основном на языке Си) [6]. Зачастую это связано с тем, что СПОН достаточно распространены и доступны на рынке, имеют привлекательные цены. Главными

преимуществами систем обработки сигналов, построенных на СПОН, являются гибкость системы, возможность реализации адаптивных и обучающихся алгоритмов. Кроме того, отладочные средства начального уровня недороги, достаточна информационная поддержка, выпущена литература на русском языке по их применению [5].

Вместе с тем СПОН имеют ряд недостатков, которые приходится учитывать при разработке новых изделий. Во-первых, каждое семейство СПОН имеет собственные коды команд, что делает практически невозможным перенос реализованного алгоритма на сигнальные процессоры других семейств или создание универсальных библиотек алгоритмов. Существующие компиляторы с языков высокого уровня, например Си, также ориентированы на конкретные процессоры и не решают данную проблему. Во-вторых, производительности большинства современных DSP, как правило, не хватает для однокристалльной реализации алгоритмов ЦОС и, как следствие, возникает необходимость построения многопроцессорных систем на базе однокристалльных цифровых процессоров обработки сигналов с присущей сложностью сопряжения нескольких процессоров и отладкой их функционирования в реальном масштабе времени.

В настоящее время предлагается широкий спектр цифровых сигнальных процессоров общего и специализированного назначения, представленный четырьмя основными производителями ПЦОС: Texas Instruments (TI), Analog Devices (AD), Lucent (LT) и Motorola. ПЦОС условно подразделяются на пять больших групп:

1. Традиционные или классические ПЦОС: TI TMS320C2xx, ADSP-21xx, Motorola DSP 56xxx, LT DSP16xx, которые имеют 16-битное арифметико-логическое устройство (АЛУ) и блок умножения с накоплением (МАС), тактовую частоту от 20 до 50 МГц и используются для заданий цифровой обработки, не требующих высокой точности вычислений, обычно — обработка звука с небольшими требованиями к точности.

2. Улучшенные 24/32-битные ПЦОС: Motorola DSP 563xxx, TI TMS320C45x, LT DSP16xxx, ADSP-21xxx. Эти модели имеют 24- или 32-битную архитектуру, тактовую частоту от 50 до 150 МГц и используются для решения сложных задач обработки сигналов в промышленности и военной технике, часто эти процессоры имеют блоки для операций с плавающими числами.

3. ПЦОС с архитектурой длинного командного слова — VLIW-архитектура (Very Long Instruction Word) и образцы суперскалярных ПЦОС.

VLIW-архитектура характеризуется тем, что содержит команды, каждая из которых задает од-

новременное выполнение нескольких операций на различных функциональных узлах процессора (коды команд на этапе компиляции собираются в большие "суперкоманды" и выполняются параллельно). При этом поиск операций, одновременное выполнение которых можно задать с помощью одной команды, возлагается на компилятор, а не реализуется аппаратно, как в динамических суперскалярных процессорах. VLIW-архитектура позволяет существенно упростить управляющую аппаратуру и достичь производительность, сравнимую с производительностью динамических суперскалярных процессоров. Типовыми VLIW DSP являются SC140 фирмы Star Core и TMS320C6x фирмы Texas Instruments.

В настоящее время микропроцессоры и DSP с VLIW-архитектурой широко используются для встроенных применений, поскольку для решения конкретной задачи можно разработать свой VLIW-процессор, использующий необходимое число функциональных вычислительных узлов и узлов ввода/вывода, и тем самым обеспечить необходимую производительность при заданных ограничениях на потребляемую мощность. Однако для разных приложений требуются VLIW-процессоры с различным составом функциональных узлов, что затрудняет эффективное использование одного и того же VLIW-процессора для решения широкого класса задач.

Суперскалярные процессоры характеризуются большим набором параллельных операционных модулей и возможностью одновременного исполнения нескольких команд. По сравнению с VLIW, они имеют две характерные особенности: команды процессора не группируются в блоки, каждая из них поступает в процессор независимо; команды для параллельного исполнения группируются внутри процессора на основе состава и текущей загруженности операционных блоков, а также зависимости между данными.

Суперскалярные процессоры планируют исполнение команд не только на основе информации о загруженности операционных блоков, но и на основе анализа зависимостей между данными. К примеру, команда сохранения результата арифметической операции не может быть выполнена раньше самой операции вычисления, даже если модуль обращения к памяти в данный момент свободен. Эта особенность приводит, в том числе, к тому, что один и тот же набор команд может по-разному исполняться в различных местах программы, что делает невозможным точную оценку производительности. Особенно это важно для систем, работающих в реальном времени, ведь оценка по наихудшему результату приведет к тому, что ресурсы процессора будут использованы неполно-

стью. Таким образом, в этих системах задача точной оценки производительности суперскалярных ЦСП остается открытой. Суперскалярными являются процессоры R10000 (MIPS Technology) и PowerPC 603 (IBM).

4. ПЦОС с SIMD-архитектурой (Single Instruction Stream — Multiple Data Stream — один поток команд и множество потоков данных, параллелизм на уровне данных), например, ADSP-2116x, ADSP-T001 TigerSHARC. Первый имеет SIMD-архитектуру, второй только поддерживает систему команд SIMD-in-Register, которая позволяет увеличить быстродействие на операциях с целыми числами в 2—4—8 раз за счет разделения длинных (64- и 128-битных) регистров на 2, 4 или 8 независимых частей и проведение над ними всеми одной операции. Однако эта технология имеет недостатки: применение только в определенных программах и необходимость модуля векторизации циклов в компиляторе. Мощный ПЦОС Analog Devices TigerSHARC имеет VLIW-архитектуру и комбинирует два типа SIMD: одна команда управляет двумя наборами исполнительных устройств и, кроме того, она же может назначить совместное использование АЛУ и MAC. Благодаря таким архитектурным особенностям TigerSHARC за один такт может выполнить до 16 умножений.

Отдельно следует отметить отечественный процессор Л1879ВМ1 (NM6403) производства НТЦ "Модуль". Процессор Л1879ВМ1 представляет собой высокопроизводительный специализированный микропроцессор, сочетающий в себе черты двух современных архитектур: VLIW и SIMD. Тактовая частота — 40 МГц; напряжение питания — 3,0—3,6 В; потребляемая мощность — 1,3 Вт. Основные вычислительные узлы процессора — управляющее RISC-ядро и векторный сопроцессор. RISC-ядро — это центральный процессорный узел, выполняющий все основные функции по управлению работой кристалла. Кроме того, RISC-процессор производит арифметико-логические и сдвиговые операции над 32-разрядными скалярными данными и формирует 32-разрядные адреса команд и данных при обращениях к внешней памяти. Длина команды — 32 и 64 разряда (обычно в команде выполняются две операции). Процессор реализует пятиступенчатый 32-разрядный конвейер. Адресное пространство — 16 Гбайт, два адресных генератора, восемь регистров общего назначения и восемь адресных регистров.

Любая инструкция выполняется за один такт. Векторный сопроцессор предназначен для арифметических и логических операций над 64-разрядными векторами данных программируемой разрядности. Обмен данными между основными узлами процессора происходит по трем внутренним шинам: двум входным и одной выходной.

Процессор NM6403 ориентирован на эффективное выполнение векторно-матричных операций над данными переменной разрядности от 1-го до 64 бит в системах цифровой обработки сигналов и искусственных нейронных сетей.

5. К другим процессорам, которые используются для цифровой обработки сигналов, относятся как процессоры и микроконтроллеры фирм Hitachi, ARM или Lextra, имеющие некоторые черты ПЦОС, например быстрый умножитель, так и мощные процессоры общего назначения Intel Pentium III/IV, VIA C3 Cyrix, которые используются в мощных промышленных компьютерах. Наиболее распространенными ПЦОС этой группы являются TI TMS320C24xx, AD ADMC3xx на базе ADSP2171, Motorola DSP5665x, ядро TI TMS320C27xx, используемое для построения контроллеров с разнообразной периферией.

Система на основе ПЛИС. В последнее время для решения задач ЦОС все чаще можно наблюдать применение аппаратных методов, основанных на использовании программируемых логических интегральных схем (ПЛИС) с архитектурой FPGA (Field Programmable Gate Array) в качестве препроцессоров и сопроцессоров [3, 6]. Такой подход позволяет получить существенный прирост производительности, снизить стоимость и потребляемую мощность системы. Однако его повсеместному распространению препятствует то, что разработчики DSP-систем не всегда имеют опыт проектирования на базе FPGA.

Архитектура FPGA обладает большой гибкостью, на ее базе можно реализовывать распараллеливание алгоритмов обработки данных, что позволяет существенно повысить производительность всей DSP-системы. Наиболее типичные примеры такого использования FPGA — реализация КИХ-фильтров и алгоритмов быстрого преобразования Фурье.

Ведущими производителями FPGA в настоящий момент являются фирмы Xilinx и Altera [31, 32]. Однако программируемая логика выпускается и такими фирмами как Actel, Lattice, Triscend, Atmel и Cypress, но на фоне двух ведущих производителей их объемы выпуска и ПЛИС относительно невелики. Отдельно стоит продукция Actel, представляющая собой устройства с архитектурой, близкой к FPGA (т. е. подходящие для создания процессоров и систем на кристалле), но хранящие конфигурацию в флеш-памяти или даже однократно программируемые. Эти устройства характеризуются повышенной устойчивостью к радиации и предназначены в основном для аэрокосмических применений.

Система на основе совместного использования ПЛИС и DSP. Системы SOC. При построе-

нии системы ЦОС операции, требующие высокоскоростной обработки данных в параллельном режиме, реализуются на базе FPGA, а операции высокоскоростной последовательной обработки — с помощью DSP-процессоров [6]. Гибкость архитектуры ПЛИС FPGA позволяет организовать ускорение и параллельную обработку данных различными способами, а программирование на языках высокого уровня для DSP позволяет упростить написание и отладку сложных последовательных алгоритмов.

Кроме того, дополнительные возможности для повышения производительности и гибкости системы, а также оптимального распределения функций в системе предоставляют системы обработки сигналов на базе SOC. ПЛИС является одним из вариантов построения "системы на кристалле".

В основе идеи SOC лежит интеграция всей электронной системы в одном кристалле (например, в случае ПЛИС такой чип объединяет процессор, память и т. д.). Компоненты этих систем разрабатываются отдельно и хранятся в виде файлов параметризуемых модулей. Окончательная структура SOC-микросхемы выполняется на базе этих "виртуальных компонентов", называемых также "блоками интеллектуальной собственности" с помощью программ систем автоматизации проектирования (САПР) электронных устройств — EDA (Electronic Design Automation). Благодаря стандартизации в одно целое можно объединять "виртуальные компоненты" от разных разработчиков [5].

Одновременно с появлением концепции системы на кристалле возникли идеи создания методологии проектирования на основе унифицированных наборов готовых базовых блоков (платформ). Интерфейсы компонентов платформы (процессоров, блоков памяти и управления, шинных интерфейсов и др.) в рамках достаточно широкого класса задач должны быть унифицированы, чтобы новые устройства можно было "собирать" из блоков как конструктор. Причем "собирать" на системном уровне, уровне функционального описания, проводя анализ и глобальную оптимизацию всей системы в целом, а далее использовать готовые аппаратные решения, заложенные в описаниях базовых блоков (IP-блоков).

Система на основе ASIC. Одной из разновидностей "систем на кристалле" является реализация узлов системы на микросхемах класса ASIC. Здесь существует целый ряд микросхем и алгоритмов, которые практически являются стандартными и в больших количествах повторяются от разработки к разработке. Примером их могут служить узлы массовых коммуникационных средств, компоненты систем мультимедиа и видеобработки для массовых компьютеров и т. п.

Решения на базе заказных микросхем (ASIC) обеспечивают высокую производительность при самых низких энергопотреблении и стоимости за единицу продукции. Однако микросхемы ASIC имеют ряд проблем. Одна из них — это высокая стоимость разработки и большие затраты времени. Для компенсации затрат на разработку требуются чрезмерно высокие объемы реализации. Другая проблема, связанная с такими микросхемами, это их недостаточная гибкость. Отличаясь длительным циклом разработки, ASIC не обеспечивают эффективное реагирование на быстроизменяющиеся запросы потребителей.

Адаптация стандартных компонентов для обработки сигналов под специализированную задачу также требует применения дополнительных схем сопряжения, обвязки, зачастую нестандартных и вновь разрабатываемых, что практически исключает все преимущества специализированных БИС. Изготовление же БИС по заказу невыгодно из-за высокой стоимости. БМК, широко рекламируемые предприятиями Зеленограда, по своим характеристикам существенно отстают от зарубежных БИС подобного типа [12—14].

Производителями микросхем ASIC являются такие зарубежные фирмы как Epson Electronics, Fujitsu, Infineon, Samsung, Davicom Semiconductor Inc. и др. Обращает на себя внимание отечественное предприятие ГУП НПЦ "ЭЛВИС", которое производит однокристалльную двухпроцессорную "систему на кристалле" на базе IP-ядерной платформы "Мультикор" 1892ВМ2Я (МС-24). Микросхема предназначена для применения в спецприложениях, обусловленных жестко предопределенным набором ее функций: локация и гидроакустика, связь и сигнальная обработка (БПФ, фильтрация, корреляция, быстрая свертка, мультимедийная обработка изображений и пр.), что позволяет определить принадлежность микросхемы МС-24 к классу микросхем ASIC.

Система на основе нейровычислителей. Использование нейровычислителей позволяет сегодня реализовывать системы ЦОС, функционирующие в реальном масштабе времени. Элементарной базой нейровычислительных систем в настоящее время являются цифровые сигнальные процессоры, нейросигнальные процессоры, систолические процессоры, программируемая логика (ПЛИС), аналоговые и гибридные СБИС, процессоры общего назначения. Однако наибольшее использование при реализации нейровычислителей нашли ПЛИС, DSP и, конечно, нейрочипы.

Так, цифровой сигнальный процессор, обладая мощной вычислительной структурой, позволяет реализовать различные алгоритмы обработки информационных потоков. Сравнительно невысокая

цена, а также развитые средства разработки программного обеспечения позволяют легко применять их при построении вычислительных систем с реализацией большого числа параллельных операций обработки данных.

DSP-процессоры в нейросистемах могут выполнять две функции: реализацию самой нейронной сети или реализацию контура логики общесистемного управления нейрокомпьютером. Для реализации нейросреды может быть использован практически любой DSP, но наибольшее распространение получили семейство DSP TMS320С6хх компании Texas Instruments с фирменной архитектурой *Velocity* и ADSP2106х компании Analog Devices с архитектурой SHARC. Эти цифровые сигнальные процессоры обладают достаточной производительностью для обработки сигналов в реальном времени, они ориентированы на использование в мультимикропроцессорных системах [9].

Появление нейросигнальных процессоров связано с успешным применением цифровых сигнальных процессоров. И так как возможности DSP общего применения неполностью соответствуют задачам, которые возникают при моделировании нейронных сетей, нейросигнальные процессоры в настоящее время являются наиболее быстродействующим средством построения нейросистем.

Ядро нейросигнальных процессоров представляет собой типовой сигнальный процессор, а реализованная на кристалле дополнительная логика обеспечивает выполнение нейросетевых операций. Примером нейросигнального процессора является 1879ВМ1, реализующий архитектуру *NeuroMatrix* [7].

Процессорные матрицы (систолические процессоры) — это чипы, обычно близкие к обычным RISC-процессорам и объединяющие в своем составе некоторое число процессорных элементов, вся же остальная логика, как правило, должна быть реализована на базе периферийных схем [9].

Основная идея построения систолических процессоров состоит в использовании специальных обрабатываемых элементов, простых по своим функциям и структуре, эти элементы образуют процессорную матрицу, через которую идет поток данных, изменяемых каждым элементом. При этом может быть достигнута высокая степень параллельности обработки данных, если отработавший элемент сразу же считывает следующую порцию данных для обработки. Недостатком этих систем может быть названа узкая специализация обрабатываемых элементов, это ведет к тому, что систолическая матрица должна быть окружена большим числом периферийных схем, реализующих дополнительную логику. Примером систолического процессора являются чипы SAND (Simple Applicable Neural Device) компании Datafactory

(бывшая INCO) и CNAPS компании Adaptive Solutions.

Реализация нейровычислительных систем и специализированных вычислителей, использующих параллельную обработку данных на базе ПЛИС, является эффективной при решении задач цифровой обработки сигналов, обработке видео- и аудиоданных и построении технических систем управления. Так, преимуществами FPGA-чипов для реализации нейроустройств являются такие параметры как высокое быстродействие и постоянный его рост, возможность реализации сложных параллельных алгоритмов, возможность перепрограммирования в системе, совместимость при переносе алгоритмов на уровне языков описания аппаратуры, возможность реализации стандартного интерфейса, наличие библиотек мегафункций, описывающих сложные алгоритмы, и малое время создания нейросистем. По последнему параметру FPGA — нейросистемы превосходят все заказные чипы и приближаются к системам на существующих процессорах общего назначения и цифровых сигнальных процессорах. Это является очень важным, так как на фоне постоянного роста производительности процессоров специфические аппаратные решения должны показывать преимущество в скорости работы. При традиционной разработке нейросистемы на заказных интегральных схемах результат работы может оказаться морально устаревшим.

Гибридные и аналоговые решения теоретически могут обеспечивать наибольшее быстродействие при эмуляции нейронной сети [9]. Однако действующих реализаций таких чипов очень мало. Вероятно, это связано со сложностью разработки микросхем этого типа, а также с тем, что постоянный рост производительности цифровых устройств обеспечивает преимущество в скорости. Тем не менее на рынке присутствуют аналоговая СБИС ETANN 80170NX фирмы Intel и гибридное решение СБИС CLNN32/CLNN64 фирмы Bellcore [10].

Применение процессоров общего назначения для построения нейросред — это наиболее распространенная в настоящее время платформа для построения нейросистем, большинство из которых реализовано в виде программных комплексов (без особых средств аппаратной поддержки).

Популярность такого подхода объясняется простотой программной реализации нейросети. Реализация нейроалгоритмов на рабочих станциях осуществляется средствами очень высокого уровня. Имеются библиотеки к распространенным языкам высокого уровня, реализующие разнообразные функции, используемые в нейроприложениях, разработаны расширения объектно-ориентированных языков, которые позволяют оперировать с нейросетями на уровне объектов.

Однако процессоры общего назначения мало подходят для создания промышленных устройств в силу своей архитектурной избыточности. Тем не менее разработано множество нейроускорителей на этой базе, но они не имеют особых преимуществ перед другими подходами [9].

Модули ЦОС широкого применения

В настоящее время существует некоторое количество источников информации, описывающих системы ЦОС. Это такие источники как интернет-сайты производителей систем, специальные научные журналы, книжные издания и пр. Однако следует отметить, что в большинстве источников характеристики на модули ЦОС отсутствуют, либо приводится ограниченный список характеристик в том или ином виде. Так, для одних модулей могут быть приведены показатели производительности системы при отсутствии показателей энергопотребления, а для других, наоборот, показатели производительности отсутствуют, а показатели потребления указаны. Поэтому сравнивать модули между собой весьма сложно и возможно только по косвенным признакам, таким как используемая элементная база, структурная схема системы, специализация модуля и реализованные интерфейсы ввода—вывода. Исходя из этого приведем модули обработки сигналов, реализующие системы ЦОС, и общие характеристики модулей, отмеченные производителем.

Так, можно выделить следующие разрабатываемые и производимые модули обработки сигналов, реализующие системы ЦОС широкого применения:

НТЦ "Модуль" разработал набор модулей ЦОС [7], построенных на базе как нейропроцессоров Л1879ВМ1 собственного изготовления, так и процессора импортного производства (модуль МЦ9.01). Разработанные модули являются системами ЦОС с использованием схемы построения системы на основе процессора NM6403 с реализацией нейросетевой обработки сигналов. Модули существенно различаются объемом оперативной памяти, структурой построения системы, интерфейсами передачи данных, микросхемами ввода—вывода данных и числом (и типом) процессоров, что, соответственно, влияет на показатели потребления, производительности и габаритов модуля. Так, показатели производительности модулей различаются в диапазоне от 960 ММАС (МС4.31 — система с одним процессором, ширина кода данных — 8 разрядов) до 6500 ММАС (система с семью процессорами, ширина кода данных — 8 разрядов) главным образом по причине различных схем построения системы ЦОС. Модули име-

ют размеры порядка 160×223 мм и мощность потребления (исключая MC4.31 — 2 Вт) в диапазоне от 8 до 25 Вт что, несмотря на высокую производительность модулей, может существенно ограничить область их применения.

ЗАО "ГРАНИТ-ВТ" производит набор модулей ЦОС МУССОН и ВУЛКАН-3V [16], построенные на базе процессоров DSP. Габариты модулей составляют 100×167×13 мм, мощность потребления 10—12 Вт.

Модуль МУССОН предназначен для обработки цифровой информации на базе двух DSP типа TMS320C6701, а также для обмена данными по внешним интерфейсам. Управление модулем и выдача результатов обработки осуществляются по интерфейсу Compact PCI частотой 33 МГц. Объем памяти SDRAM составляет 64 Мбайта.

Модуль ВУЛКАН-3V предназначен для обработки цифровой информации на базе процессора RM7000A, а также для обмена данными по внешним интерфейсам. Содержит системную магистраль VME, специализированный байтовый интерфейс межмодульного обмена для приема данных с двухпортовым буфером емкостью 1 Кбайт, интерфейс RS-232C. Статическое ОЗУ емкостью 4 Мбайта. Flash-память для хранения встроенного и функционального программного обеспечения емкостью 4 Мбайт.

Компания "Scan Engineering Telecom" производит модули ЦОС [17] на базе ПЛИС или DSP, а также на совместной базе ПЛИС и DSP. Продукция фирмы представлена целым рядом модулей высокопроизводительной цифровой обработки сигналов, разделенных по конструктивным признакам и системам интерфейсов на четыре категории. Так, две категории модулей имеют в своем составе интерфейсы PCI и Compact PCI, третья — интерфейс VME и последняя группа, называемая "автономные модули", имеет для передачи данных линии ввода—вывода LVTTTL и интерфейс LVDS. Производительность отдельных модулей фирмы в зависимости от конфигурации может достигать 45 млрд MAC на 16-разрядных операндах. Область применения модулей фирмы Scan Engineering Telecom представлена такими направлениями как сверхвысокопроизводительная цифровая обработка сигналов, радиолокация, телекоммуникации, нейросетевые сопроцессоры и специальные вычислители.

Компания "Инструментальные системы" производит модули ЦОС следующих категорий: модули ЦОС на основе ПЛИС совместно с процессорами фирмы Analog Devices, TMS320 фирмы Texas Instruments и процессоров 1892BM2 (MC-24) платформы "Мультикор" фирмы ГУП НТЦ "ЭЛВИС", а также беспроцессорные базовые мо-

дули ЦОС на основе ПЛИС [18]. Модули имеют различное число процессоров и различные типы ПЛИС (различающиеся по логической емкости). Модули содержат интерфейс ADM для установки submodule аналогового и цифрового ввода/вывода, также системные шины передачи данных PCI 32/66, CompactPCI, PCIExpress x8 и VME64. Для связи автономных модулей сбора и цифровой обработки сигналов с компьютером используются специализированные submodule семейства CCP. Submodule CCP поддерживают работу по протоколам USB 2.0, Ethernet 10/100/1000, FOTR, Serial RapidIO, FibreChannel, Infiniband. Анализ представленных изображений модулей [18] позволяет сделать вывод о габаритах платы модулей, как превышающих размер длинны разъема PCI.

НПП "Цифровые решения" производит вычислительные модули DS-E-4000 и DS-M-1000 [20, 21].

DS-E-4000 предназначен для решения широкого круга задач: обработки данных, цифровой обработки сигналов, прототипирования СБИС. В основу платформы положена ПЛИС фирмы Xilinx семейства Spartan 3 объемом 4 млн лог. вентиляей. ПЛИС CPLD CoolRunner предназначена для мониторинга и тестирования работы основной ПЛИС. Для хранения и работы с данными на плате предусмотрены три типа памяти: DDR SDRAM до 128 Мбайт, SSRAM 2 Мбайт и NOR Flash до 32 Мбайт. В платформе DS-E-4000 реализована поддержка большинства наиболее распространенных интерфейсов, таких как Ethernet 1000/100/10, USB 2.0, RS-232, RS-485, CAN, LVDS; возможно также использование линий ввода—вывода на разъеме, подключенном непосредственно к ПЛИС.

DS-M-1000 предназначен для решения задач обработки высокоскоростных сигналов. Наличие большого числа портов ввода—вывода и различных интерфейсов позволяет использовать платформу для широкого круга применений. Основа платформы — ПЛИС XILINX VIRTEX2 1000 (1 млн вентиляей). На плате установлены два банка быстросействующей SSRAM-памяти суммарным объемом 4 Мбайт, работающих на частоте 165 МГц. Разрядность шины данных — 36 бит. Для высокоскоростной передачи данных на плате предусмотрены два интерфейса: 64-разрядная параллельная шина данных и приемопередатчик Ethernet. Параллельная шина данных может быть использована как одна или несколько параллельных шин данных необходимой разрядности. Кроме того, каждая линия шины может использоваться как линия с последовательной передачей данных. Порт Ethernet реализован на трансивере AM79C874VI фирмы AMD и обеспечивает скорость приема и передачи данных 100 Мбит/с.

Отличительная особенность платформы DS-M-1000 — возможность работы с цифровым видеосигналом, для чего на плате установлены две микросхемы видеокодеков (ADV202 фирмы Analog Devices), обеспечивающие аппаратное сжатие или декомпрессию видеoinформации. Функции контроля и отладки выполняет установленная на плату микросхема ПЛИС CPLD XILINX Cool Runner XCR3256-XL. С ее помощью можно осуществлять перезагрузку основной ПЛИС, выполнять чтение и анализ контрольных сигналов основной ПЛИС и выводить информацию на 2-разрядный светодиодный дисплей. Характеристики основных компонентов цифровой вычислительной платформы DS-M-1000: ПЛИС XILINX VIRTEX-II 1000 (1 млн вент.). Ethernet-трансивер AM79C874VI 100 Мбит/с, SSRAM CY7C1380C-167A1 (2 шт.).

Модули цифровой обработки сигналов матричного фотоприемного устройства ИК-диапазона

Анализ существующих систем обработки сигналов с матричных ФПУ позволил выделить несколько направлений разработки, характеризующих базовым элементом обработки сигналов: системы на совместной базе ПЛИС и DSP, системы на базе ПЛИС и системы на базе DSP.

Система ЦОС, представленная в [22], использует ПЛИС совместно с нейропроцессором Л1879ВМ1. Здесь задачи обработки разделены между процессором и ПЛИС. ПЛИС выполняет следующие функции (в скобках приведено время выполнения операции микропроцессором Л1879ВМ1 в миллисекундах для кадра размером 512×621 элемент, время выполнения задачи для реализации на ПЛИС составляет 1 мкс независимо от формата изображения):

- компенсация постоянной составляющей и разброса элементов МФПУ по чувствительности (798);
- интерполяция или замена отсчетов неисправных элементов (14.8);
- коррекция кадра с использованием текущих оценок уровня серого и коэффициента передачи (25.1);
- обеспечение ручной регулировки контрастности и яркости (71.3);
- кодирование изображения в черно-белые тона с возможным преобразованием позитивного изображения в негативное (366.2);
- кодирование изображения в условные цвета с возможным преобразованием "позитивного" изображения в "негативное" (1998.9).

В то же время на процессоре решаются задачи:

- накопление кадров (фильтрация с помощью инерционного звена) (40.5);
 - определение уровня серого и коэффициента передачи с использованием фоно-целевой обстановки (38.6);
 - построение гистограммы кадра (919.5);
 - построение таблиц кодирования изображения в черно-белые тона (22.7);
 - построение таблиц кодирования изображения в условные цвета (27.1).
- Причем в [22] указывается, что структура блока цифровой обработки позволяет решать в реальном времени перечисленные выше задачи, при этом наряду с ПЛИС используются:
- один процессор Л1879ВМ1 для обработки "малого" кадра 128×128;
 - один-два процессора Л1879ВМ1 для обработки "среднего" кадра 240×320;
 - три-четыре процессора Л1879ВМ1 для обработки "большого" кадра 512×621.

ФГУП НПО "Орион" совместно с ГУП НПЦ "ЭЛВИС" разработали модуль ЦОС [23] на совместной базе ПЛИС и двух контроллеров обработки сигналов 1892ВМ2. Здесь средством обработки является цифровой сигнальный процессор 1892ВМ2, выполненный на основе IP-ядерной платформе "Мультикор" и разработанный в ГУП НПЦ "ЭЛВИС". Все процедуры реализуются программно в реальном масштабе времени. Два процессора системы обеспечивают обработку с производительностью до 128 Мбайт/с, что соответствует видеокадру формата 576×768 в представлении пикселей 14 разрядами. Суммарный пиковый вычислительный ресурс составляет 3200 Моп/с при 16-битном формате данных, что соответствует 200 операциям на пиксель изображения [23].

Представленная система обеспечивает выполнение следующих процедур обработки:

- суммирование сигналов элементов (для линеек) — осуществляются временная задержка и накопление сигнала;
- компенсация разброса уровней элементов;
- компенсация разброса чувствительности элементов;
- замена сигналов дефектных элементов на сигналы соседних, взятых из ближайшей окрестности элементов;
- регулирование яркости и контрастности;
- пересчет в условные тона и псевдоцвета;
- фиксация изображения — "Стоп-кадр";
- формирование негатива изображения;
- изменение масштаба;
- формирование прицельной марки;
- функция окна по линии визирования;
- отображение служебной информации.

ФГУП НИИ "СУБМИКРОН" по заказу **ФГУП НПО "Орион"** разработал модуль ЦОС [19] на базе контроллера обработки сигналов 1892BM2. Модуль предназначен для цифровой обработки и преобразования теплового изображения объектов в стандартный видеосигнал.

Характеристики модуля:

- цифровой процессор обработки сигналов — 1892BM2;
- производительность системы, GFLOPs — 5,75/32;
- объем ОЗУ-SDRAM — 1 Гбайт;
- объем ПЗУ — 8 Мбайт;
- потребление — 15 Вт;
- напряжение питания — 27 В.

ГУП НЦ "ЭЛВИС" и ФГУП НИИ "СУБМИКРОН" разработали экспериментальный модуль ЦОС [30] на основе процессора "Мультикор". Модуль предназначен для цифровой обработки данных тепловизора в реальном времени. Входные кадры 256×256 пикселей обрабатываются полными строками по мере их поступления. Разрядность яркости пикселя 14 бит. Все процедуры обработки выполняются в DSP-ядре, предназначенном для сигнальной обработки:

- нормализация кадра (по постоянной составляющей и по чувствительности);
- коррекция бракованных пикселей (замена яркости бракованного пикселя на среднее значение по ближайшим небракованным пикселям);
- формирование гистограммы кадра;
- коррекция кадра по максимальному и минимальному значениям;
- преобразование 11-битного кода нормализованных яркостей в 8-битное значение яркости для вторичной обработки и отображения на ТВ (метод преобразования — с помощью таблицы перекодировки);
- обновление таблицы перекодировки;
- калибровка.

По результатам работы системы [30] показано, что выполнение обработки в реальном времени без потерь данных обеспечивается одним микропроцессором MC-24 (такт 80 МГц), причем загрузка по вычислениям составляет 90 %. Загрузка по пересылкам данных составляет 16,5 %, и DMA-пересылки не ухудшают итоговую оценку возможностей системы.

ФГУП "СНИИОС" разработал модуль, использующий нейросетевую реализацию алгоритмов [24]. Система решает задачу автоматического сопровождения объектов по информации, поступающей от трех каналов: каналу видимого излучения, низкоуровневого и тепловизионного. Цифровая обработка реализуется на основе нейропроцессора L1879BM1, посредством которого реализуется

нейросеть Хопфилда. Система обеспечивает обработку кадра форматом 384×288 в течение 100—140 мс.

Используемая в системе обработка информации состоит из следующих функций:

- интерполяционная обработка (совмещений в каналах по масштабу и направлению оси визирования);
- фильтрационная обработка (свертка изображения с маской 3×3);
- оконтуривание изображения (свертка изображения с маской 3×3);
- пороговая обработка (удаление небольших яркостных перепадов);
- бинаризация (устранение избыточности кадра).

Для создания системы обработки изображения разработчик использовал нейропроцессорные модули МЦ4.04 разработки ОАО НТЦ "Модуль", выполненные в стандарте Compaq PCI [7]. Для ввода изображения в систему были использованы модули MC4.05, формирующие на выходе кадр размерностью 384×288 с разрядностью 8 бит на пиксель, что указывает на разрядность обрабатываемых системой данных, равную 8 бит.

ФГУП НПО "Орион" совместно с НИИ МВС Южного федерального университета разработали модуль ЦОС [25] на базе ПЛИС. Модуль ЦОС осуществляет управление ФПУ формата 256×256, преобразовывает аналоговые сигналы приемника в цифровую форму (разрядность преобразования 14 бит), в дальнейшем осуществляя выполнение следующих алгоритмов:

- двухточечная коррекция неоднородности чувствительности элементов ФПУ;
- деселекция дефектных элементов ФПУ;
- автоматическое регулирование контраста и яркости изображения.

Также имеется возможность при частоте вывода телевизионного полукадра 50 Гц суммирования восьми кадров ФПУ и регулирования времени накопления с суммированием четырех кадров.

КТИ ПМ СО РАН разработал модуль ЦОС [3] на базе ПЛИС. Модуль позволяет принимать предварительно обработанный сигнал с ФПУ форматов 320×240 и 320×256, обрабатывать его по заданному алгоритму и выводить на стандартный монохромный ТВ-монитор. Модуль имеет размеры 115×70 мм и мощность потребления 3 Вт. Выполняемые алгоритмы:

- вычитание темного кадра из текущего;
- вычисление коэффициентов неравномерности чувствительности элементов матрицы;
- коррекция изображения по двум точкам;
- суммирование сигналов элементов — вычисление среднего значения сигнала каждого пикселя матрицы;

- расчет таблицы дефектных элементов;
- замещение дефектных элементов.

Здесь следует отметить, что в рассматриваемом модуле ЦОС [3] все указанные алгоритмы выполнены на ПЛИС способом, описанным в [26]. Так, модули, описанные в [26], осуществляют операции, описываемые функцией $Y = F(XW)$ и выполняемые формальным нейроном, являющимся основным элементом нейронной сети, где X — вектор входных значений, Y — вектор выходных значений, W — матрица весовых коэффициентов, а $F()$ — функция активации, применяемая поэлементно к компонентам вектора [29]. Фактически вычислительных операций всего две: перемножение матриц XW и вычисление нелинейной функции F для каждого элемента вектора. Эта особенность позволяет, применив специализированные решения, значительно увеличить скорость работы нейросети.

Таким образом, вычислительные модули, приведенные в [26], можно рассматривать как цепочки нейронов сети, состоящей из одного и более слоев. Так, коэффициенты коррекции нелинейности чувствительности и значения компенсации постоянной составляющей пикселя ФПУ можно рассматривать как весовые коэффициенты нейрона (при алгоритме вычитание весовые коэффициенты равны единице). При этом нейросеть имеет один вход (рецептор), на который поступает сигнал с ФПУ, также один вход имеет нейрон каждого последующего слоя. Обучением нейрона в данном случае является калибровка прибора по температурным полям (расчет коэффициентов коррекции).

Заключение

Анализ систем цифровой обработки сигналов показал максимальную производительность систем на основе нейровычислителей. Нейровычислители реализуются на ПЛИС, DSP и специализированных нейропроцессорах. В случае реализации на ПЛИС нейросистема, кроме производительности, приобретает свойства логической матрицы — гибкость аппаратного построения алгоритмов, энергопотребление и производительность, сравнимую с микросхемами ASIC.

Максимальную простоту применения, гибкость и удобство написания сложных алгоритмов демонстрируют сигнальные процессоры общего назначения. Производительность современных СПОН не позволяет обрабатывать большие массивы в реальном времени, поэтому целесообразно их применение совместно с ПЛИС в качестве сопроцессора, выполняющего последовательные алгоритмы обработки данных.

Применение системы на базе ПЛИС позволяет реализовать любой алгоритм обработки сигналов, однако при этом неизбежно возникнут проблемы с реализацией сложных последовательных алгоритмов — в этом случае оптимальным будет использование сигнального процессора общего назначения.

Существует вариант построения системы ЦОС на специализированном сигнальном процессоре. Здесь система получит свойства как системы на базе СПОН, так и системы на базе ПЛИС. Однако производительность системы в этом случае будет ограничена максимальной производительностью процессора, и для решения задач обработки больших массивов данных может потребоваться использование многопроцессорной системы. Следует отметить, что для решения определенной задачи ЦОС количество СПОН может быть существенно больше количества специализированных процессоров.

Высокие показатели производительности и гибкости свойственны системам на основе SOC. Следует отметить, что реализация системы SOC возможна на ПЛИС в виде soft-ядер и на аппаратном уровне в виде IP-ядер. В первом случае система получает максимальную гибкость при максимальной производительности, во втором — система получит минимальное энергопотребление при гибкости построения алгоритмов и производительности, свойственной сигнальным спецпроцессорам.

При применении для реализации систем ЦОС микросхем ASIC только в случае решения узкоспециальной задачи система имеет минимальные гибкость и энергопотребление при максимальной производительности системы. Следует отметить, что процессоры специального назначения и IP-ядерные системы SOC являются микросхемами, специализированными для решения конкретной задачи, имеющими узкий круг применения, обусловленный жестко предопределенным набором функций. Следовательно, указанные микросхемы можно рассматривать как микросхемы класса ASIC.

Рассмотренные модули широкого применения в отдельных случаях достигают производительности 6500 ММАС (модуль компании "Scan Engineering Telecom"), однако в большинстве случаев такие системы имеют высокое энергопотребление при больших габаритах модуля. Это объясняется широким диапазоном применения модулей, а также разнообразием структурных схем построения системы ЦОС модулей и применяемой элементной базы (базовые микросхемы обработки сигналов, микросхемы памяти, ее общий объем и энергопотребление). Поэтому для построения оптимальной,

с позиции минимального энергопотребления и габаритов, максимальной производительности и гибкости системы целесообразно применять модули специального назначения, оптимизированные под определенный класс задач (в нашем случае задачи обозначены в введении данной статьи).

Анализ модулей обработки сигналов матричного фотоприемника показал, что наибольшее количество алгоритмов обработки сигналов фотоприемника реализовано в модуле производства НПЦ "Модуль" на базе ПЛИС и нейропроцессора (в количестве 1—4 шт.) [22], а также модуле производства ФГУП НПО "Орион" совместно с ГУП НПЦ "ЭЛВИС" на базе ПЛИС и двух контроллеров 1892ВМ2 [23]. Следовательно, практическая реализация подтверждает максимальные показатели производительности системы на базе нейросигнального процессора и элемента SOC с реализацией на микросхеме ASIC.

Причем производительность системы ЦОС пропорционально зависит от числа процессоров в системе. Такая комбинация базовых элементов системы обработки сигналов может не удовлетворять взаимозависимым требованиям по производительности, габаритам и энергопотреблению. Поэтому представляется перспективным построение на базе ПЛИС типа FPGA и сигнального процессора общего назначения системы ЦОС с оптимальным набором характеристик: минимальными габаритами и энергопотреблением, максимальными производительностью и гибкостью. В этом случае оптимальные показатели обеспечиваются универсальностью и производительностью современных сигнальных процессоров общего назначения, а также следующими свойствами ПЛИС:

- возможностью реализации на кристалле системы SOC и/или элементов нейросети;
- возможностью распараллеливания операций;
- большой логической емкостью и универсальностью.

Л и т е р а т у р а

1. Богомолов П. А. и др. Приемные устройства ИК-систем. — М.: Радио и связь, 1987.
2. Кремис И. И. // Оптический журнал. 2003. № 10. С. 62.
3. Кремис И. И., Однолько Ю. Ф. // Прикладная физика, 2007. № 4. С. 133.
4. http://www.compitech.ru/html.cgi/arhiv/00_04/stat_52.htm
5. http://www.compitech.ru/html.cgi/arhiv/00_08/stat_50.htm
6. Перекрест А. А. // Электроника: наука, технология, бизнес. 2006. № 6. С. 110.
7. www.module.ru
8. Гринченко Л. Я., Пономаренко В. П. // Прикладная физика. 2009. № 2. С. 57.
9. <http://www.citforum.ru/hardware/neurocomp>
10. <http://dearshurik.chat.ru>
11. <http://www.asic.ru>
12. <http://www.angstrem.ru>
13. <http://www.altera.com>
14. <http://www.xilinx.com>
15. Тарасов В. В., Якушников Ю. Г. Инфракрасные системы смотрящего типа. — М.: Логос, 2004.
16. http://www.granit-vt.ru/dsp_boards.shtml
17. <http://www.khalus.com.ua>
18. <http://www.insys.ru>
19. <http://multicore.ru>
20. <http://www.dsol.ru>
21. Бадин М., Воронков Д. // Электронные компоненты. 2008. № 2. С. 34
22. Борисов Ю., Грошев А. // Компоненты и технологии. 2002. № 2. С. 29.
23. Соляков В. Н., Медведев А. С. // Прикладная физика. 2005. № 2. С. 85.
24. Зорин А. А., Разумова И. И. // Там же. С. 93.
25. Соляков В. Н., Кортиков М. В. // Там же. 2009. № 2. С. 102.
26. Кремис И. И., Однолько Ю. Ф. // Там же. 2008. № 3. С. 101.
27. Груздев М. В. // Компоненты и технологии. 2000. № 8. С. 36.
28. Сахно И. В., Харченко А. В. // Нейрокомпьютеры: разработка, применение. 2004. № 5—6. С. 35.
29. Горбань А. Н. // Соросовский образовательный журнал. 1998. № 12. С. 105.
30. Александров Ю. Н., Глушков А. В. // Вопросы радиоэлектроники. Серия общетехническая. 2006. № 2. С. 41.
31. <http://www.forth.org.ru>
32. <http://www.russianelectronics.ru>

Review of domestic modules for digital processing the signals of the IR focal plane array

I. I. Kremis

Technological Design Institute of Applied Microelectronics (Novosibirsk Branch of the Institute of Semiconductor Physics), 2/1 Lavrent'ev av., Novosibirsk, 630090, Russia
E-mail: ktipm@amel.oesd.ru

Account is taken of domestic modules for digital processing the signals of the IR focal plane array. It is shown possibility making the module for processing the 640×480 focal plane array. The recommendations are given with positions of minimum of a power consumption and size at big capacity and flexibility.

PACS: 85.60.Gz

Keywords: systems, digital processing, signal, DSP, PLIS, ASIC, SOC, neuron processor.

Bibliography — 32 references.

Received November 15, 2009

* * *