

УДК 621.382

Особенности схемотехнического моделирования матричных мультиплексоров в системе ADiT

С. С. Хромов, А. А. Зайцев

Рассмотрены особенности схемотехнического моделирования интегральных схем матричных мультиплексоров (ММ). Сформулированы основные требования, предъявляемые к средствам моделирования. Дано описание основных преимуществ симулятора ADiT, а также приведено сравнение точности и скорости моделирования относительно других программных продуктов.

PACS: 85.60.Gz

Ключевые слова: моделирование, матричный мультиплексор, симулятор, программный продукт.

Введение

Матричный мультиплексор, называемый также интегральной схемой (ИС) считывания, наряду с матрицей фоточувствительных элементов и криогенной системой является неотъемлемой частью инфракрасного фотоприемного устройства (ИК ФПУ). Он выполняет функции считывания и интегрирования тока фоточувствительных элементов (ФЧЭ), обработки сигнала (временная задержка и накопление сигналов, двойная коррелированная выборка), коммутации на сигнальные выходы, а также управляет процессом опроса матрицы ФЧЭ (направление сканирования, "выбор окна" и т. п.).

Самые первые ММ для однорядных ФПУ (1×128 и т. п.) выполняли исключительно функции считывания и интегрирования сигнала, имели полностью внешнее управление, выполнялись по *n*-МОП-технологии (проектные нормы $\lambda = 3$ мкм) и содержали от 1500 до 2000 транзисторов.

Матричный мультиплексор формата 128×128, выполненный по КМОП-технологии ($\lambda = 2$ мкм), насчитывал около 40 тыс. транзисторов и имел встроенный блок генерации управляющих сигналов. Последний разработанный КМОП ММ формата 640×512 (~1 700 000 транзисторов, $\lambda = 0,8$ мкм) имеет встроенный блок генерации управляющих сигналов, переключаемое число выходов и выполняет функцию "выбора окна".

Дальнейшее увеличение формата (до 1280×1024) и функциональности ММ приведет к еще большему числу транзисторов на кристалле и потребует перехода к новой технологии производства с проектными нормами λ до 0,18 мкм.

Матричный мультиплексор принадлежит к классу аналогово-цифровых ИС. К цифровым элементам относятся сдвиговые регистры опроса, блок генерации управляющих сигналов, блок управления выбором окна, регистры памяти для хранения входной управляющей информации. Аналоговая часть при своей относительной простоте занимает основную площадь кристалла (до 85 %) и состоит в основном из ячеек считывания, выходных повторителей, токовых зеркал и т. п. Таким образом, ММ представляет собой довольно сложную систему из тесно взаимосвязанных между собой аналоговых и цифровых блоков.

Другая особенность ММ — большой размер кристалла (18×16,5 мм для формата 640×512) по сравнению с размером типовых цифровых и аналоговых ИС. Следствием большого размера кристалла являются большие длины сигнальных цепей и, соответственно, большие значения паразитных емкостей и сопротивлений, что может приводить к ощутимым задержкам сигнала при высоких частотах считывания (до 10 МГц).

Эти факторы приводят к необходимости тщательно учитывать паразитные параметры элементов ИС на стадии проектирования и проводить полное моделирование кристалла не менее двух раз. Первое моделирование проводится до проектирования топологии с приблизительными значениями паразитных параметров для основных сигнальных цепей, второе — осуществляется на основе полной электрической схемы, полученной путем экстракции из спроектированной топологии ИС средствами САПР.

Такая схема содержит все паразитные элементы, что значительно увеличивает ее размер и время, необходимые для моделирования. Это позволяет не только максимально точно воспроизвести работу реального ММ, но и лишний раз убедиться в соответствии спроектированной топологии ИС разработанной ранее принципиальной электрической схеме (ПЭС) [1].

Хромов Сергей Сергеевич, начальник дизайн-центра.
Зайцев Алексей Андреевич, ведущий инженер-электронщик.
ФГУП «НПО "Орион"».
Россия, 111123, Москва, шоссе Энтузиастов, 46/2.
E-mail: orion@orion-ir.ru

Статья поступила в редакцию 11 ноября 2009 г.

Исходя из вышеизложенного можно сформулировать основные требования к системе схемотехнического моделирования для анализа ПЭС ММ:

- высокая точность моделирования;
- возможность работы со схемами, содержащими более 1 млн транзисторов;
- приемлемая скорость моделирования;
- использование SPICE-моделей транзисторов.

Классификация средств схемотехнического моделирования

Программы схемотехнического моделирования, основанные на ядре SPICE 2G6 (Калифорнийский университет в Беркли), обладают максимальной точностью, но являются самыми медленными средствами моделирования [2]. К тому же максимальное число транзисторов, которым могут оперировать такие программы, составляет от нескольких десятков до нескольких сотен тысяч [3], что в данном случае является недостаточным. Однако их предпочтительно использовать при моделировании отдельных блоков ИС ММ, требующих высокой точности, таких, например, как ячейка считывания.

Наряду с классическими SPICE-симуляторами существуют системы анализа, использующие для описания схемы специальный язык Verilog-AMS. Такие системы применяют для поведенческого моделирования проектов. Их отличительной особенностью является самая высокая скорость моделирования из всех рассматриваемых систем [2]. Существенный недостаток таких систем — их низкая точность при моделировании аналоговых цепей, так как не учитывается ряд физических эффектов, присущих реальным полупроводниковым приборам [3], что является весьма важным для ИС, выполненных по субмикронной технологии. В таких ИС даже чисто цифровые элементы перестают быть таковыми и приобретают ряд свойств, присущих аналоговым схемам. Тем не менее применение таких средств моделирования оправданно на самом начальном этапе проектирования ММ, когда разрабатывается общая концепция устройства и где решающую роль играет скорость моделирования.

Наиболее оптимальным решением для моделирования больших аналогово-цифровых ИС является использование так называемых быстрых SPICE-подобных средств моделирования. Для описания схем они используют стандартный синтаксис SPICE и стандартные SPICE-модели приборов и отличаются более высокой скоростью работы (10x—100x) за счет применения упрощенных методов расчета и ряда других технологий, направ-

ленных на снижение времени расчета [2]. Однако такое повышение скорости приводит к снижению точности получаемого результата, поэтому приходится идти на некий компромисс между скоростью и точностью моделирования. Тем не менее в подавляющем большинстве практических задач такое снижение точности не критично. Обычно в таких системах имеется большое количество настроек, позволяющих достичь оптимального баланса между скоростью и достоверностью результата.

Система схемотехнического моделирования ADiT

Система схемотехнического моделирования ADiT, выпускаемая одним из лидеров рынка САПР ИС фирмой Mentor Graphics, относится к классу быстрых SPICE-подобных симуляторов. Основными особенностями данной системы являются [4]:

- быстрее классического SPICE до 100x;
- применение алгоритма разбиения схем на подсхемы;
- использование табличных моделей приборов;
- поддержка Verilog-A;
- погрешность не более 3 % по сравнению с классическим SPICE;
- использование упрощенных зарядовых моделей приборов (модель Мейера);
- использование аналитических SPICE-моделей приборов;
- возможность работы в режиме классического SPICE;
- при разбиении на подсхемы учитывается наличие сильной обратной связи между подсхемами (такие подсхемы объединяются в одну);
- возможность расчета схем, содержащих до 4 000 000 транзисторов;
- посттопологическое моделирование;
- моделирование схем с неидеальными источниками питания;
- поддержка форматов описания схем Eldo, HSpice, Spectre;
- работа в среде Solaris 7, Red Hat EL 3.4.

Рассмотрим некоторые из особенностей более подробно [4, 5].

- *Разбиение на подсхемы.* В отличие от классического SPICE, где происходит расчет всей схемы одновременно, ADiT использует алгоритм разбиения на подсхемы, каждая из которых далее считается отдельно. Все подсхемы проходят через несколько глобальных итераций с целью удостовериться в совпадении их решений. Такой подход приводит к значительной экономии аппаратных ресурсов (оперативной памяти и процессорного

времени) и как следствие к сокращению времени моделирования. В процессе разбиения и моделирования выявляются также неактивные подсхемы (латентные подсхемы), которые затем не учитываются. Еще одно преимущество разбиения на подсхемы состоит в том, что становится возможным задать параметры точности и скорости моделирования для каждой отдельной подсхемы, в том числе можно выбирать, какой способ моделирования использовать для каждой отдельной подсхемы, например, для аналоговых блоков можно выбрать SPICE, а для цифровых использовать табличные модели.

- *Табличные модели МОП-приборов.* Для ускорения процесса моделирования системой ADiT автоматически создаются табличные модели приборов на основе аналитических SPICE-моделей. Суть таких моделей состоит в создании таблицы значений токов и напряжений на выводах прибора в различных режимах работы. Рассмотрим этот процесс более подробно:

проводится моделирование всех типов МОП-приборов, имеющихся в схеме, по постоянному току (DC-анализ) на основе аналитических SPICE-моделей (BSIM3 и т. п.);

полученные семейства вольт-амперных (ВАХ) и вольт-фарадных характеристик записываются в файл модели в двоичном формате;

в процессе моделирования необходимые данные о токах и напряжениях извлекаются из файла модели путем интерполяции (при отсутствии конкретного необходимого значения).

Операция интерполяции данных занимает значительно меньше времени, чем расчет необходимого значения аналитическим путем. Для быстрой функциональной верификации цифровых схем предусмотрен упрощенный режим извлечения ВАХ, когда аналитическим путем получают лишь ключевые точки ВАХ (PWL-режим), а остальные — путем интерполяции. В качестве зарядовой модели приборов применяется модель Мейера.

- *Подпороговый режим.* Для многих аналоговых и цифровых схем, работающих при низких напряжениях питания, необходимо точное моделирование зависимости тока стока от напряжения затвор-исток в подпороговой области (который в данной области изменяется по экспоненциальному закону). Для повышения точности и достоверности моделирования таких схем в ADiT существует опция `adit_subcalib`, увеличивающая количество точек данных в подпороговой области при составлении табличных моделей транзисторов.

В системе ADiT имеются пять основных режимов работы [4], задаваемых командой-engine X, где X — номер режима (табл. 1).

Таблица 1

Основные режимы работы симулятора ADiT

Режим	Назначение режима
-engine 0	В данном режиме ADiT работает как классический SPICE-симулятор. Используется полная зарядовая модель прибора. Характеризуется самой высокой точностью результата, но который является самым медленным. Вместо табличных используются аналитические SPICE-модели
-engine 1	Используются табличные модели и полная зарядовая модель Мейера. Применяется для ускоренного моделирования аналоговых схем
-engine 2	Используются табличные модели и упрощенная зарядовая модель Мейера. Применяется по умолчанию, если не указано другого
-engine 3	Используются табличные модели и упрощенная зарядовая модель Мейера. Применяется для моделирования схем с неидеальными источниками питания
-engine 4	Используются упрощенные табличные модели (PWL) и упрощенная зарядовая модель Мейера. Применяется для функциональной верификации цифровых блоков

Сравнение точности и быстродействия средств схемотехнического моделирования

Для оценки скорости и точности моделирования были использованы две тестовые задачи. В качестве цифрового блока был выбран сдвиговый регистр, состоящий из 512 D-триггеров типа MS, каждый из которых содержал 32 транзистора. Использовалась модель BSIM3v3. Для данного блока проводилась только оценка скорости моделирования, так как все тестируемые его средства показали практически полное совпадение результатов. Для сравнительного анализа были выбраны следующие программные продукты:

PSPICE A/D — продукт фирмы Cadence, входящий в состав пакета OrCAD. Основан на ядре SPICE Калифорнийского университета в Беркли.

ELDO — разработка компании Mentor Graphics, также основанная на ядре SPICE. Входит в состав САПР проектирования ИС — IC Flow.

Моделирование проводилось со значениями параметров, принятыми по умолчанию; результаты приведены в табл. 2.

Таблица 2

Моделирование регистра сдвига из 512 D-триггеров типа MS

Симулятор	Время моделирования	Ускорение относительно PSPICE
PSPICE	1 ч 30 мин 12 с	—
ELDO	1 ч 18 мин 6 с	1,15x
ADiT - engine 0	1 ч 21 мин 0 с	1,11x
ADiT - engine 1	11 мин 58 с	7,55x
ADiT - engine 2	4 мин 29 с	20x
ADiT - engine 3	1 мин 44 с	52x
ADiT - engine 4	1 мин 38 с	55x

Из табл. 2 видно, что ADiT позволил получить 55-кратное ускорение времени анализа для цифровой схемы по сравнению с обычным SPICE при сохранении точности моделирования. Только в режиме engine 4 по причине использования упрощенных (PWL) табличных моделей наблюдалось появление значительных пиков на фронтах сигнала, что, однако, никак не повлияло на конечный результат. Данный режим предназначен в основном для проведения функционального моделирования схемы.

Аналоговая схема представлена ИС ММ формата 4×288 [6], содержащая 9500 транзисторов. Использовалась модель Level 3, результаты приведены в табл. 3.

Таблица 3

Моделирование ИС считывания формата 4×288

Симулятор	Время моделирования	Ускорение относительно PSPICE	Отклонение относительно ELDO, %
PSPICE	66 мин 30 с	—	14
ELDO	14 мин 00 с	4,8x	—
ADiT - engine 0	15 мин 10 с	4,55x	5,8
ADiT - engine 1	6 мин 20 с	10,5x	11
ADiT - engine 2	5 мин 30 с	12x	9

Для оценки точности моделирования был выбран симулятор ELDO фирмы Mentor Graphics, так он предназначен специально для моделирования аналогово-цифровых ИС и занимает одно из ведущих мест на мировом рынке [2]. Как показали результаты моделирования, ADiT обеспечил более чем 10-кратный прирост скорости при среднем отклонении от эталона в 9 %. Оценка точности проводилась по форме и амплитуде сигнала в ключевых точках схемы и на ее выходах.

Выводы

Circuit analysis traits of matrix multiplexors with ADiT simulator

S. S. Khromov, A. A. Zaitsev

Orion Research-and-Productionn Association, 46/2 Entusiasts road, Moscow, 111123, Russia

E-mail: oion@orion-ir.ru

Circuit analysis traits of matrix multiplexors ICs have been reviewed. The main requirements for circuit simulators have been formulated. The basic advantages of using ADiT simulator have been described. Comparison of speed and accuracy of ADiT and other simulators have been given.

PACS: 85.60.Gz

Keywords: simulation, matrix multiplexor, simulator, program product.

Bibliography — 6 references.

Полученные результаты носят чисто оценочный характер, так как увеличение быстродействия и точность моделирования могут сильно меняться в зависимости от анализируемой схемы и настроек симулятора. Не существует универсального набора параметров для достижения максимальной точности или наибольшей скорости моделирования. В каждом конкретном случае разработчик должен подбирать параметры исходя из поставленной перед ним задачи и имеющихся аппаратных ресурсах. Однако в целом преимущество использования быстрых симуляторов, в частности симулятора ADiT, очевидно, так как позволяет значительно сократить не только время моделирования, но и общее время разработки ИС. Это особенно важно в условиях современного рынка, где очень высоки темпы появления новых продуктов, а цена допущенных при проектировании ошибок исчисляется большими финансовыми потерями.

Литература

1. *Строгонов А. В.* Проектирование топологии КМОП заказных БИС// Компоненты и технологии. 2007. № 3.
2. *Денисенко В. В.* Проблемы схемотехнического моделирования КМОП СБИС// Там же. 2002. № 3.
3. Cadence analog, RF and mixed-signal design// Cadence Design Systems Inc., www.cadence.com
4. ADiT User’s and Reference Manual// Mentor Graphics Inc., www.mentor.com
5. *Ahmed Eisawy.* Verification Strategies for Mixed-Signal SoCs// Mentor Graphics Inc., www.mentor.com
6. *Филачев А. М., Пономаренко В. П., Сагинов Л. Д. и др.* Охлаждаемое многоярдное матричное фотоприемное устройство формата 4×288 элементов на основе фотодиодов из КРТ// Прикладная физика. 2005. № 5.

Received 11 November 2009