

Реализация цифрового режима ВЗН на кристалле интегральной схемы считывания для сканирующих ФПУ

Н. А. Ларионов, И. С. Моцев

Рассматриваются результаты разработки БИС считывания для сканирующих ИК МФПУ с цифровым режимом ВЗН. Накопление и обработка фотосигнала в цифровом виде на кристалле БИС считывания позволяют повысить отношение сигнал-шум на выходе БИС считывания, а также существенно улучшить весогабаритные характеристики ИК МФПУ. Обосновывается целесообразность реализации цифрового режима ВЗН по конвейерной архитектуре, являющейся цифровым аналогом приборов с зарядовой связью. Отмечены преимущества конвейерной архитектуры: меньший шаг следования каналов в сочетании с пониженной потребляемой мощностью. Приводятся результаты тестирования первой отечественной БИС считывания с цифровым режимом ВЗН формата 1024×10 и с шагом каналов 15 мкм, получены выходные цифровые сигналы в формате 12-битного последовательного кода.

Ключевые слова: БИС считывания, АЦП в ячейке, цифровой режим ВЗН.

Введение

В работах [1, 2] отмечено, что прогресс в создании многоэлементных инфракрасных (ИК) фотоприемных устройств (ФПУ) обусловлен в первую очередь фактором технологического и схемотехнического совершенствования кремниевых микроэлектронных устройств, а именно, БИС считывания фотосигналов.

Большинство разработчиков сходятся во мнении, что одной из основных тенденций развития современной микрофотоэлектроники является осуществление аналогово-цифрового преобразования (АЦП) фотосигнала и проведение первичной цифровой обработки на кристалле БИС считывания [1–4].

Основной мотивацией для разработки цифровых БИС является тенденция к снижению размера, веса и потребляемой мощности ФПУ в целом, что особенно актуально для устройств космического применения.

Накопление и обработка фотосигнала в цифровом виде позволяют существенно повысить отношение сигнал/шум на выходе БИС считывания, расширить динамический диапазон ФПУ, устранить влияние помех при сопряжении ФПУ с

электронным трактом, исключить внешние микросхемы АЦП из состава ФПУ.

Одним из наиболее важных параметров ФПУ является пороговая разность температур (NETD), которая непосредственно связана с отношением сигнал/шум (SNR).

Следовательно, одной из основных задач интегральных схем считывания и обработки сигналов ФПУ является реализация пороговой чувствительности фотоприемников [6, 7]. Цифровое считывание сигнала БИС устраняет это препятствие на пути достижения предельной чувствительности и сводит к минимуму уровень NETD. Как следует из работы [7], именно в БИС считывания с цифровой накопительной ячейкой может быть достигнуто минимальное значение NETD величиной 2–3 мК.

В настоящее время на практике широко применяются ФПУ с выходным аналоговым сигналом. В сканирующих ФПУ для достижения наилучшего соотношения сигнал/шум наиболее распространены является использование режима временной задержки и накопления (ВЗН) [8]. Тем не менее, такие устройства имеют ряд недостатков: коэффициент переноса меньше единицы, снижение амплитуды сигнала, резкая зависимость площади суммирующих емкостей от количества ВЗН-каскадов, зависимость выходного ВЗН-сигнала от разброса параметров емкостей и пороговых напряжений МОП-транзисторов, дополнительные шумы.

Однако, что касается сканирующих ИК ФПУ с цифровым режимом ВЗН, то до сих пор отсутствуют устройства, широко применяемые на

Ларионов Никита Александрович, инженер.
Моцев Иван Сергеевич, нач. дизайн-центра.
АО «НПО «Орион».
Россия, 111538, Москва, ул. Косинская, 9.
E-mail: orion@orion-ir.ru

Статья поступила в редакцию 1 августа 2018 г.

практике. Таким образом, становится очевидным, необходимость реализации ВЗН в цифровом виде, поскольку простая оцифровка столбцовыми АЦП полученного аналогового ВЗН-сигнала не освобождает БИС считывания от недостатков аналогового режима ВЗН.

В работе [7] был проведен анализ основных существующих архитектур схем с цифровым режимом ВЗН: схемы с использованием цифровых сумматоров накопительного типа (аккумуляторов) [3, 9, 10]; схемы сумматоров на основе двоичных счетчиков [11, 12]. Для БИС с цифровым режимом ВЗН авторами [7] была предложена новая архитектура конвейерного типа, представляющая собой цифровой аналог приборов с зарядовой связью (ПЗС) [5]. Эта архитектура была оптимизирована и реализована в фотоприемном модуле формата 1024×10 на основе КРТ для коротковолнового ИК-

диапазона. Целью данной работы является представление указанных результатов разработки и проведенных исследований.

Схемотехника и функционирование БИС

Структурная схема БИС считывания формата 1024×10 с цифровым режимом ВЗН представлена на рис. 1. Предложенная в работе [3] структура канала с цифровым режимом ВЗН конвейерного типа была оптимизирована таким образом, чтобы аналоговая накопительная ячейка и однобитный АЦП объединились в единую цифровую накопительную ячейку Cell_{*i*} (*i* = 1–10) с однобитным выходом. Эти два шага позволили существенно упростить топологию ВЗН-регистра и обеспечить требуемые габаритные размеры БИС считывания.

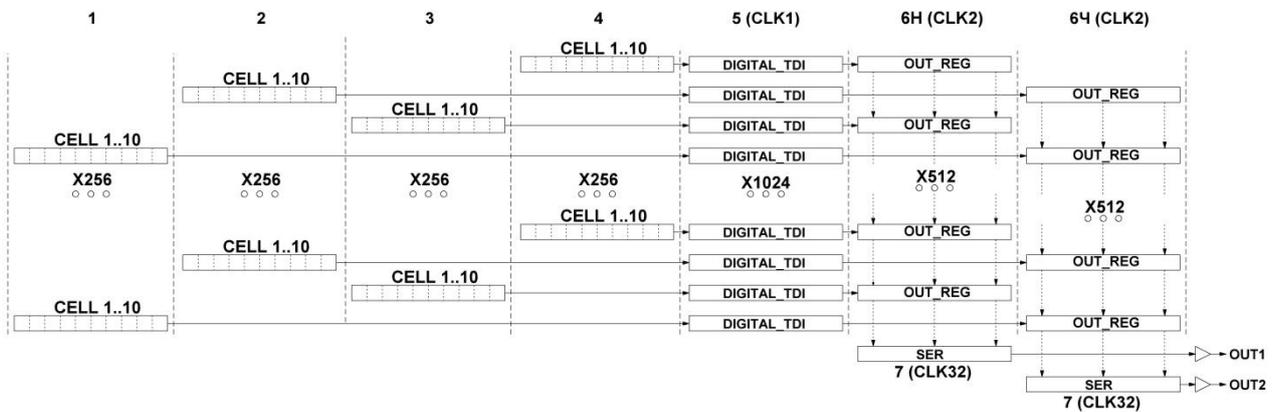


Рис. 1. Блок-схема БИС.

БИС считывания, блок-схема которой приведена на рис. 1, состоит из массива фоточувствительных ячеек CELL (ячейка приведена на рис. 2) формата 1024×10, разделенного на 4 группы формата 256×10 (1, 2, 3, 4 на рис. 1), 1024 цифровых ВЗН-регистров нелинейного преобразования сигнала с ФЧЭ (фоточувствительного элемента) в цифровой код (5 на рис. 1), двух 512-канальных выходных регистров ВЗН-канала (6Н и 6Ч на рис. 1), двух сериалайзеров (7 на рис. 1). Каждые 10 ячеек подключены к ВЗН-каналу в том порядке, как это показано на рис. 1. Для снижения шага следования каналов БИС считывания до 15 мкм все операции с цифровым кодом (мультиплексирование, накопление, сдвиг, суммирование) производятся последовательно по однобитным шинам.

Каждый четный и нечетный ВЗН-регистр (DIGITAL_TDI) подключен к соответствующему 512-канальному выходному регистру. В свою очередь, параллельные выходы регистров вывода сигнала из ВЗН-канала (OUT_REG) подключены к сериалайзеру, через который преобразуется парал-

лельный цифровой код в последовательный код, поступающий на выход схемы.

Ячейка считывания

На рис. 2 приведена блок-схема ячейки считывания. В качестве интегратора фототока используется трансимпедансный усилитель (ОП) с емкостью С1 в цепи обратной связи. Напряжением на VPD регулируется смещение фотодиода. Интегрирование фототока на емкости С1 происходит в течение заданного времени до тех пор, пока напряжение на входе компаратора не сравняется с заданным напряжением VREF. После этого сигнал с выхода компаратора поступает на вход S RS-триггера, причем через два элемента NAND. Таким образом, на выходе ячейки (OUT_CELL) формируется однобитный сигнал. Сброс емкости интегрирования С1 происходит сразу после окончания времени интегрирования.

Одной из особенностей данной схемы фоточувствительной ячейки с однобитным АЦП является использование двойной коррелированной вы-

борки (ДКВ). Суть ДКВ состоит в вычитании разницы между накопленным кадром и темновым. Уменьшая или вообще устраняя шум на низких

частотах, двойная коррелированная выборка приводит к его увеличению на высоких частотах. Для фильтрации ВЧ-шумов была введена емкость С3.

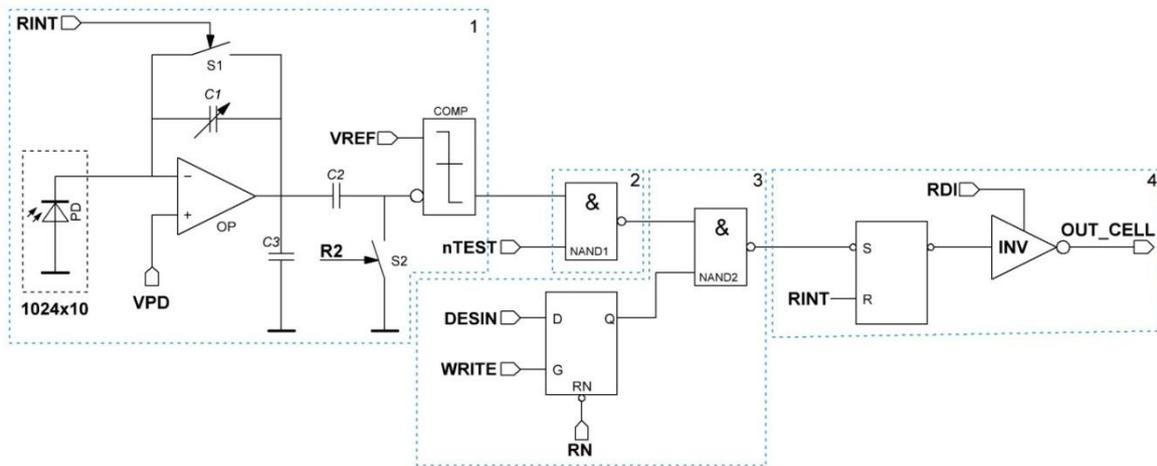


Рис. 2. Ячейка считывания с однобитным АЦП.

Важную роль играет элемент NAND1, к одному входу которого подключен выход компаратора COMP, входящего в состав однобитного АЦП (1), а ко второму – внешний контакт nTEST, используемый для тестирования работы ВЗН регистра. Сигнал nTEST имитирует срабатывания компаратора (COMP), т. е. однобитного АЦП.

Элемент NAND2 и подключенный к одному из его входов D-триггер (3) используются для деселекции ячеек через внешние контакты DESIN и WRITE. Деселекция производится управляющим словом.

На рис. 3 приведена диаграмма работы ячейки считывания, где CINT – напряжение на емкости интегрирования C1 (см. рис. 2), VREF – напряжение на компараторе, RINT – сброс емкости интегрирования, OUT_CELL – напряжение на выходе ячейки.

Реализация режима ВЗН

Импульсы из ячеек поступают в ВЗН-счетчик-регистр, выполняющий функции счета, суммирования и сдвига цифровых кодов (см. рис. 4). Импульсы из ячеек являются разрешающими сигналами для счетных ячеек, тактируемых внешним сигналом. При увеличении длительности разрешающего импульса увеличивается число тактирующих импульсов, «посчитанных» счетной ячейкой. После завершения процесса счета коды последовательно сдвигаются вправо. Таким образом, код, «посчитанный» первой счетной ячейкой, попадает во вторую и т. д. Вторая счетная ячейка начинает счет со значения, которое было сформировано первой счетной ячейкой в предыдущий период, при этом по окончании периода процесс повторяется. Следовательно, двоичный код на выходе счетчиков увеличивается (суммируется) при движении цифровых данных от первого до десятого счетчика.

Двоичный код на выходе каждого счетчика пропорционален количеству тактовых импульсов, попавших во временной интервал, задаваемый выходными импульсами от соответствующих цифровых ячеек. Для задания временной задержки между суммированиями используются по два 12-битных сдвиговых регистра между соседними счетчиками.

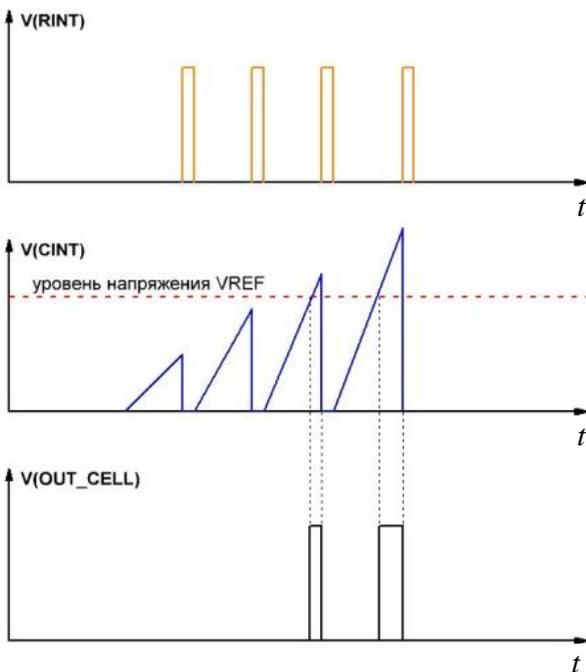


Рис. 3. Диаграмма работы ячейки считывания.

Следует отметить, что сами счетчики между накоплением (счетом) тактовых импульсов работают в режиме сдвиговых регистров, когда требуется сдвинуть накопленный цифровой код в соседний счетчик. Выходной 12-битный сигнал цифрового ВЗН-регистра от каждого из 1024 каналов записывается в массив памяти 1024×12, откуда происхо-

дит последовательное считывание цифровой информации на два выхода БИС.

Выходной цифровой сигнал каждого из выходов (см. рис. 5) имеет формат последовательного 12-битного кода с 4-битными паузами, синхронизированного с выходным сигналом SYNC для задания границ цифрового пикселя.

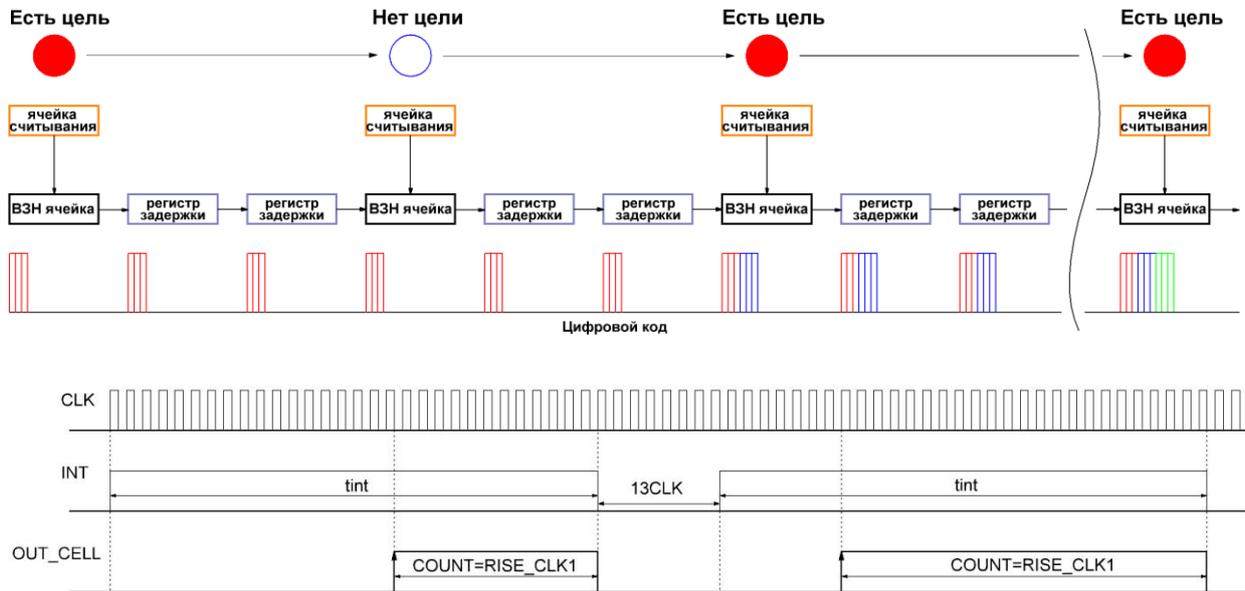


Рис. 4. Структурная схема ВЗН-канала (сверху) и получение цифрового кода (снизу).

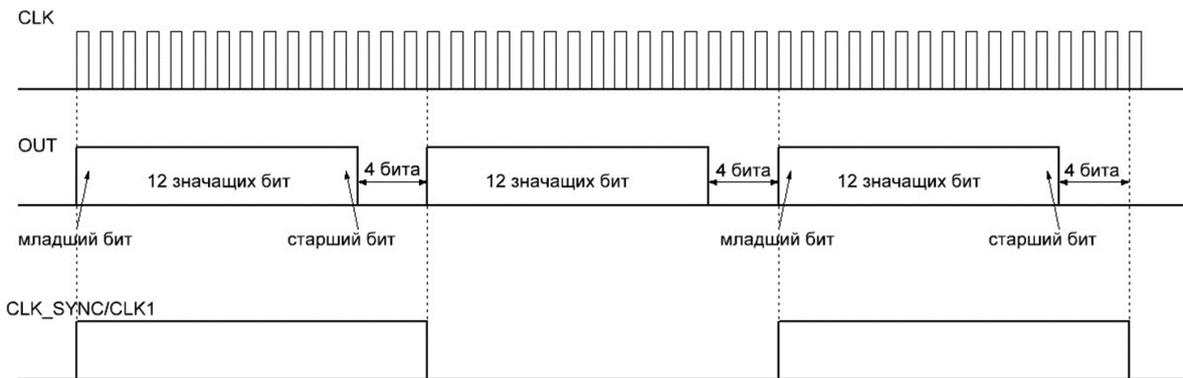


Рис. 5. Структура выходного (информационного) сигнала.

Результаты тестирования БИС считывания с цифровым режимом ВЗН

БИС считывания с цифровым режимом ВЗН была разработана и изготовлена по стандартному КМОП-технологическому процессу с проектными нормами 0,18 мкм, 6 слоев металла, питание цифровое — 1,8 В, питание аналоговое — 2,5–3,3 В. БИС считывания имеет формат 1024×10 и предназначена для использования в составе сверхмногоканального матричного ФПУ (МФПУ) коротковолнового ИК-диапазона.

Внешний вид БИС считывания в испытательном корпусе приведен на рис. 6. Основной конструктивной особенностью БИС считывания является расположение матрицы входных ячеек на одном краю кристалла БИС (четыре субматрицы 256×10) и вывод всех каналов на другую сторону кристалла, что позволяет каскадировать фотомодули и наращивать формат сверхмногоканального ИК МФПУ. Такое построение БИС считывания ведет к двукратному снижению шага следования каналов, составляющему 15 мкм поперек направления сканирования. Шаг ФЧЭ в субматрицах со-

ставляет 45 мкм вдоль направления сканирования, что ведет к необходимости трехкратной выборки фотосигнала между суммированиями в ВЗН-регистре. Тестирование БИС считывания проводилось как через специальный цифровой вход, имитирующий работу входных цифровых ячеек, так и по сигналам от реального многоэлементного фотоприемника на основе КРТ-фотодиодов.

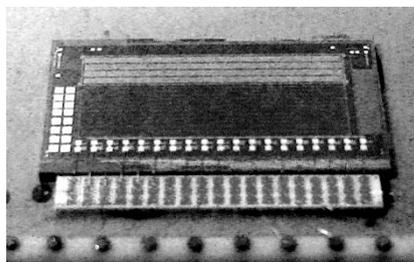


Рис. 6. Разработанная БИС считывания.

Для анализа выходных цифровых сигналов использовалась плата цифро-аналогового преобразования. Структурная схема тестирования БИС считывания приведена на рис. 7. Цифровой сигнал с каждого из выходов БИС поступает в ПЛИС, где преобразуется в параллельный 12-битный код и поступает на вход цифро-аналогового преобразователя (ЦАП), тактируемого синхросигналом SYNC.



Рис. 7. Схема тестирования БИС считывания.

Аналоговый сигнал с выхода ЦАП и соответствующий цифровой сигнал с выхода БИС считывания позволяют дать правильную оценку работоспособности БИС. Например, на рис. 8 приведены

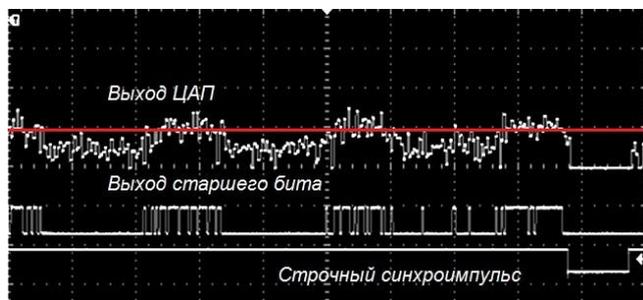


Рис. 8. Цифровой сигнал от светового пятна на выходе БИС считывания.

осциллограммы этих сигналов при использовании в качестве источников сигнала матрицы КРТ-фотодиодов, засвеченной пространственно-модулированным ИК-излучением. Из цифрового

сигнала выводится только старший бит с установкой высокого логического уровня в момент превышения аналогового сигнала половины динамического диапазона ЦАП.

Для проверки правильной работы цифрового ВЗН-регистра использовались тестовый вход и вход глобального сброса БИС считывания. Цифровой импульс на тестовом входе с задержкой, заданной относительно строчного синхроимпульса, имитирует сигнал аналоговой части цифровой ячейки (интегратор фототока и компаратор). Устройство захвата на RS-триггере преобразует задержку тестового импульса в выходной цифровой импульс с длительностью, равной этой задержке. Как было уже отмечено, носителем информации на выходе цифровых ячеек является длительность выходных импульсов, пропорциональная фототоку, т. е. тестовый сигнал на входе БИС позволяет проводить имитацию фототока во всех цифровых ячейках. Импульс глобального сброса обнуляет все счетчики и регистры схемы ВЗН, после чего начинается переходной процесс по установке на выходах ВЗН-регистра уровня напряжения, определяемого задержкой тестового сигнала. Этот переходной процесс, наблюдаемый на выходе ЦАП (см. рис. 9), представляет десять одинаковых ступенек (суммирований), разделенных трехстрочными задержками, что подтверждает правильность функционирования цифрового ВЗН-регистра.

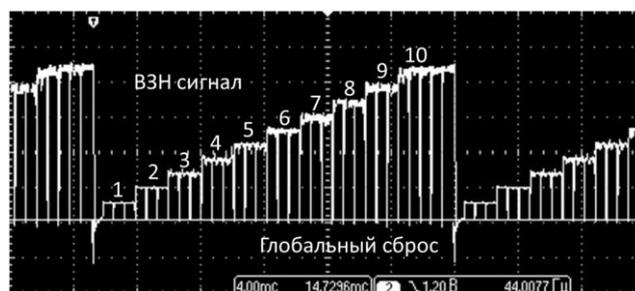


Рис. 9. Демонстрация работы ВЗН суммирования.

Заключение

Разработана и изготовлена БИС считывания формата 1024×10 с цифровым режимом ВЗН по стандартному КМОП-технологическому процессу с проектной нормой 0,18 мкм. Таким образом, на кристалле реализован метод накопления и обработки фотосигнала для линейчатых многорядных фотоприемных устройств в цифровом виде, способный повысить отношение сигнал/шум, расширить динамический диапазон ФПУ по сравнению с методами, применяемыми ранее.

Приведены также результаты тестирования первой отечественной БИС считывания с цифровым режимом ВЗН формата 1024×10 и с шагом

каналов 15 мкм, причем получены выходные цифровые сигналы в формате 12-битного последовательного кода.

ЛИТЕРАТУРА

1. Rogalski A. // Opto-Electronics Review. 2012. Vol. 20. P. 279.
2. Лу И. И. // Успехи прикладной физики. 2014. Т. 2. № 4. С. 407.
3. Schultz K. I., Kelly M. W., Baker J. J., et al. // Lincoln Laboratory Journal. 2014. Vol. 20. No. 2.
4. Ceylan O., Shafique A., Burak A., et al. // Infrared Physics & Technology. 2016. Vol. 79. P. 101.
5. Кузнецов П. А., Моцев И. С. // Успехи прикладной физики. 2014. Т. 2. № 1. С. 83.
6. Rogalski A., Chrzanowski K. // Opto-Electronics Review. 2002. Vol. 10. No. 2. P. 11.
7. Кузнецов П. А., Хромов С. С. // Успехи прикладной физики. 2013. Т. 1. № 3. С. 321.
8. Rogatto W. D. The Infrared & Electro-Optical Systems Handbook. Vol. 3. Electro-Optical Components, – USA, SPIE Optical Engineering Press, 1993.
9. Патент РФ № 2465684.
10. Патент US 7129509.
11. Патент РФ № 2498456.
12. Патент WO2014082660A1.

Realization of the digital mode of TDI on a ROIC for the scanning IR FPA

N. A. Larionov and I. S. Moshchev

Orion R&P Association
9 Kosinskaya str., Moscow, 111538, Russia
E-mail: orion@orion-ir.ru

Received August 1, 2018

Consideration is given to results of development of ROIC for the scanning IR FPA with digital TDI processing. Accumulation and digital processing photocurrent on the chip allow to increase a signal-to-noise ratio and improve weight-dimensional characteristics of the FPA. The feasibility of implementing the digital TDI mode on the conveyor architecture, which is a digital analog of devices with charge communication, is substantiated. The advantages of conveyor architecture are noted: the smaller channel pitch and lower power consumption. The results of testing the ROIC with digital TDI mode, 1024×10 with pitch 15 μm, the output digital signals in the format of a 12-bit serial code are presented.

Keywords: ROIC, ADC in the chip, digital TDI.

REFERENCES

1. A. Rogalski, Opto-Electronics Review **20**, 279 (2012).
2. I. I. Lee, Usp. Prikl. Fiz. **2** (4), 407 (2014).
3. K. I. Schultz, M. W. Kelly, J. J. Baker, et al., Lincoln Laboratory Journal **20** (2), (2014).
4. O. Ceylan, A. Shafique, A. Burak, et al., Infrared Physics & Technology **79**, 101 (2016).
5. P. A. Kuznetsov and I. S. Moshchev, Usp. Prikl. Fiz. **2** (1), 83 (2014).
6. A. Rogalski, K. Chrzanowski, Opto-Electronics Review **10** (2), 11 (2002).
7. P. A. Kuznetsov and S. S. Khromov, Usp. Prikl. Fiz. **1** (3), 321 (2013).
8. W. D. Rogatto, *The Infrared & Electro-Optical Systems Handbook. Vol. 3. Electro-Optical Components*, (USA, SPIE Optical Engineering Press, 1993).
9. RF Patent No. 2465684.
10. US Patent 7129509.
11. RF Patent No. 2498456.
12. Patent WO2014082660A1.